



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0006889
Application Number

출원년월일 : 2003년 02월 04일
Date of Application FEB 04, 2003

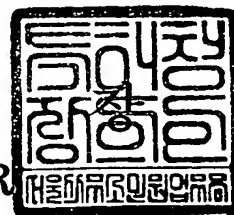
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0176		
【제출일자】	2003.02.04		
【발명의 명칭】	반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법		
【발명의 영문명칭】	METHOD FOR FORMING AN AIR GAP IN A SEMICONDUCTOR METAL LINE MANUFACTURING PROCESS		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-068046-1		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-068052-0		
【발명자】			
【성명의 국문표기】	오상훈		
【성명의 영문표기】	OH, SANG HUN		
【주민등록번호】	700117-1932134		
【우편번호】	420-807		
【주소】	경기도 부천시 원미구 도당동 222		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	11	면	29,000 원
【가산출원료】	0	면	0 원



1020030006889

출력 일자: 2003/12/11

【우선권 주장료】	0	건	0	원
【심사청구료】	2	항	173,000	원
【합계】	202,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

반도체 금속 라인 제조 공정에서의 에어 갭(Air Gap) 형성 방법을 개시한다.

본 발명에 따른 에어 갭 형성 방법은, 하부 절연막 상부에 하부 금속 배선을 형성한 후, 하부 금속 배선 상부에 상부 절연막을 적층하는 단계와; 상부 절연막 상부에 제 1 감광막을 패터닝한 후, 하부 금속 배선이 노출될 때까지 상부 절연막을 식각하는 단계와; 제 1 감광막을 제거한 후, 식각된 상부 절연막내에 질화막을 매립하고 상부 절연막을 제거하는 단계와; 상부 절연막이 제거된 질화막 상부에 걸쳐 제 2 감광막을 패터닝한 후, 하부 절연막이 노출될 때까지 하부 금속 배선을 식각하는 단계와; 제 2 감광막을 제거한 후, IMD(Inter Metal Dielectric)층을 증착하여 에어 갭을 형성하는 단계와; CMP 기법으로 IMD층을 평탄화한 후, 습식 식각에 의해 질화막을 제거하는 단계와; 질화막이 제거된 홀내에 콘택트 플러그용 도체를 매립한 후, 상부 금속 배선을 증착하는 단계를 포함한다.

즉, 본 발명은 금속 배선과 비아(배선을 동시에 형성함으로써 보다 안정적인 에어 갭을 형성하도록 한 바, RC 지연을 효율적으로 개선할 수 있다.

【대표도】

도 2g

【색인어】

에어 갭, IMD, RC delay



【명세서】

【발명의 명칭】

반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법{METHOD FOR FORMING AN AIR GAP IN A SEMICONDUCTOR METAL LINE MANUFACTURING PROCESS}

【도면의 간단한 설명】

도 1은 종래의 전형적인 금속 라인 형성 과정을 설명하기 위한 공정 단면도,

도 2a 내지 도 2g는 본 발명의 바람직한 실시예에 따른 반도체 금속 라인 제조 공정에서의 에어 갭 형성 과정을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 부호의 설명>

200, 204 : 산화 절연막	202 : 하부 금속 배선
206, 210 : 감광막	208 : 질화막
212 : IMD층	214 : 에어 갭
215 : 콘택트 플러그용 도체	216 : 상부 금속 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 소자 제조 기술에 관한 것으로, 특히, 낮은 캐패시턴스(capacitance)를 갖는 반도체 소자를 제조하는데 적합한 반도체 금속 라인 제조 공정에서의 에어 갭(Air Gap) 형성 방법에 관한 것이다.



- <9> 최근 들어, 반도체 소자의 집적도를 높이기 위한 기술로서, 다층으로 된 구조의 각 층에 금속 배선을 형성하거나, 동일 층상에서 금속 배선과 금속 배선 사이의 간격을 좁게 하는 방식을 채택하고 있다.
- <10> 이렇게 금속 배선 사이의 간격이 좁아지면서 동일 층상에서 서로 인접한 금속 배선 사이 또는 상하로 인접한 각 금속 배선층 사이에 존재하는 기생 저항 및 기생 캐패시턴스를 다루는 문제가 가장 중요하게 대두되고 있다.
- <11> 즉, 초 고집적 반도체 소자의 경우, 다층 금속 배선 구조에 존재하는 이러한 기생 저항 및 기생 캐패시턴스 성분들이 RC(Resistance Capacitance)에 의해 유도되는 지연(delay)에 의하여 소자의 전기적 특성을 열화시키고, 더 나아가 반도체 소자의 전력 소모량과 신호 누설량을 증가시킬 수 있다.
- <12> 따라서, 초 고집적 반도체 소자에 있어서 RC 값이 작은 다층 금속 배선 기술을 개발하는 것이 매우 중요한 문제로 대두되고 있는데, RC 값이 작은 고성능의 다층 금속 배선 구조를 형성하기 위해서는 비저항이 낮은 금속을 사용하여 배선층을 형성하거나, 유전율이 낮은 절연막을 사용할 필요가 있다.
- <13> 이러한 필요성에 의해, 캐패시턴스를 줄이기 위한 낮은 유전상수를 갖는 물질(low K material), 예를 들면, 기존의 TEOS 계열의 산화에서 SiO 계열의 낮은 유전상수 물질에 대한 연구가 진행되고는 있으나, 현재 확실한 저유전 물질이 선택되지 않아 실제 공정에 적용하기에는 많은 어려움이 있다.
- <14> 따라서, 기존에 공인된 물질을 사용하면서도 낮은 유전상수 물질을 사용하는 것과 같은 특성을 나타낼 수 있는 「에어 갭」에 대한 연구가 다각도로 진행되고 있다. 즉, 공기의 유전

율은 1로서 그 값이 매우 작기 때문에, 이러한 에어 갭을 사용하면 초 고집적 반도체 소자에 있어서 다층 콘택트 구조에서 발생하는 기생 캐패시턴스를 확실히 줄일 수 있게 되었으며, 기존의 TEOS 계열을 사용하면서도 에어 갭을 형성하여 낮은 유전상수를 구현할 수 있게 되었다.

<15> 그러나, 지금까지의 에어 갭 형성 방법은 도 1에 도시한 바와 같이, 하부 금속 배선(102)과 상부 금속 배선(116)간의 비아 플러그(108) 형성시 미스얼라인(misalign)이 발생할 경우, 금속 스트링거(metal stringer)(A)가 에어 갭(114) 형성 부위에 잔류하여 배선이 단락될 수 있는 원인을 제공하였다.

<16> 즉, 에어 갭(114)을 형성한 후 비아 공정을 진행하는 바, 에어 갭(114)이 제대로 형성될 수 없다는 문제가 제기되었다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명은 상술한 문제를 해결하기 위해 안출한 것으로, 금속 배선과 비아 배선을 동시에 형성함으로써 보다 안정적인 에어 갭을 형성하도록 한 반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법을 제공하는데 그 목적이 있다.

<18> 이러한 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따르면, 반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법에 있어서, 하부 절연막 상부에 하부 금속 배선을 형성한 후, 하부 금속 배선 상부에 상부 절연막을 적층하는 단계와; 상부 절연막 상부에 제 1 감광막을 패터닝한 후, 하부 금속 배선이 노출될 때까지 상부 절연막을 식각하는 단계와; 제 1 감광막을 제거한 후, 식각된 상부 절연막내에 질화막을 매립하고 상부 절연막을 제거하는 단계와; 상부 절연막이 제거된 질화막 상부에 걸쳐 제 2 감광막을 패터닝한 후, 하부 절연막이 노출될 때까지 하부 금

속 배선을 식각하는 단계와; 제 2 감광막을 제거한 후, IMD(Inter Metal Dielectric)층을 증착하여 에어 갭을 형성하는 단계와; CMP 기법으로 IMD층을 평탄화한 후, 습식 식각에 의해 질화막을 제거하는 단계와; 질화막이 제거된 홀내에 콘택트 플러그용 도체를 매립한 후, 상부 금속 배선을 증착하는 단계를 포함하는 반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법을 제공한다.

【발명의 구성 및 작용】

- <19> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.
- <20> 도 2a 내지 도 2g는 본 발명의 바람직한 실시예에 따른 반도체 금속 라인 제조 공정에서의 에어 갭 형성 과정을 설명하기 위한 공정 단면도이다.
- <21> 먼저, 도 2a에 도시한 바와 같이, 산화물로 이루어진 하부 절연막, 예컨대, 실리콘 기판(200) 상부에 하부 금속 배선(202)을 형성한 후, 이 하부 금속 배선(202) 상부에 상부 절연막(204)을 적층한 다음, 제 1 감광막(206)을 상부 절연막(204) 상부에 패터닝한다.
- <22> 이후, 도 2b 및 도 2c에서는, 이러한 하부 금속 배선(202)이 노출될 때까지 상부 절연막(204)을 식각한 다음, 제 1 감광막(206)을 제거한 후, 식각된 상부 절연막(204)내에 질화막(208)을 매립하고 상부 절연막(204)을 제거한다. 이때, 질화막(208) 증착 이후에는 질화막 에치백 공정이 수행되며, 상부 절연막(204) 제거에는 습식 식각 공정이 적용될 수 있다.
- <23> 도 2d에서는, 상부 절연막(204)이 제거된 질화막(208) 상부에 걸쳐 제 2 감광막(210)을 패터닝한다.

- <24> 그리고, 도 2e에서는 하부 절연막(200)이 노출될 때까지 하부 금속 배선(202)을 식각한 다음, 제 2 감광막(210)을 제거한 후 IMD(Inter Metal Dielectric)층(212)을 증착하여 본 실시예에 따른 에어 갭(214)을 형성한다.
- <25> 그리고, 도 2f에서는 CMP(Chemical Mechanical Polishing) 기법으로 IMD층(212)을 평탄화한 후, 습식 식각에 의해 질화막(208)을 제거한다.
- <26> 끝으로, 도 2g에서는, 질화막(208)이 제거된 홀내에 콘택트 플러그용 도체(215)를 매립한 후, 상부 금속 배선(216)을 증착한다. 이때, 도 2g의 과정은 전형적인 콘택트 플러그 공정에 의해 구현되거나, Al/Cu 다마신(Damascene) 공정에 의해 구현될 수 있으며, 이러한 사실은 본 발명의 기술 분야에서 통상의 지식을 가진 자는 용이하게 알 수 있을 것이다.
- <27> 이상과 같은 공정 과정에 의해, 종래와 같은 메탈 스트링거가 발생되지 않은 안정적인 에어 갭을 형성할 수 있다.

【발명의 효과】

- <28> 본 발명에 따르면, 기존에 사용되는 재료를 그대로 사용하면서 로우 캐패시턴스(low capacitance)를 구현할 수 있으며, 안정적인 에어 갭을 형성하여 RC 지연을 효율적으로 개선할 수 있다.
- <29> 이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 후술하는 특허청구범위내에서 여러 가지 변형이 가능한 것은 물론이다.

【특허청구범위】**【청구항 1】**

반도체 금속 라인 제조 공정에서의 에어 갭(Air Gap) 형성 방법에 있어서,

하부 절연막 상부에 하부 금속 배선을 형성한 후, 상기 하부 금속 배선 상부에 상부 절연막을 적층하는 단계와;

상기 상부 절연막 상부에 제 1 감광막을 패터닝한 후, 상기 하부 금속 배선이 노출될 때까지 상기 상부 절연막을 식각하는 단계와;

상기 제 1 감광막을 제거한 후, 식각된 상기 상부 절연막내에 질화막을 매립하고 상기 상부 절연막을 제거하는 단계와;

상기 상부 절연막이 제거된 상기 질화막 상부에 걸쳐 제 2 감광막을 패터닝한 후, 상기 하부 절연막이 노출될 때까지 상기 하부 금속 배선을 식각하는 단계와;

상기 제 2 감광막을 제거한 후, IMD(Inter Metal Dielectric)층을 증착하여 에어 갭을 형성하는 단계와;

CMP 기법으로 상기 IMD층을 평탄화한 후, 습식 식각에 의해 상기 질화막을 제거하는 단계와;

상기 질화막이 제거된 홀내에 콘택트 플러그용 도체를 매립한 후, 상부 금속 배선을 증착하는 단계를 포함하는 반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법.



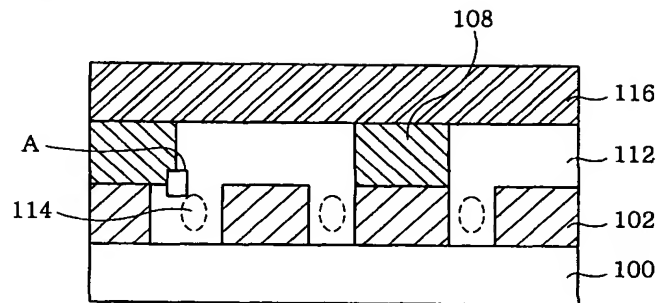
【청구항 2】

제 1 항에 있어서,

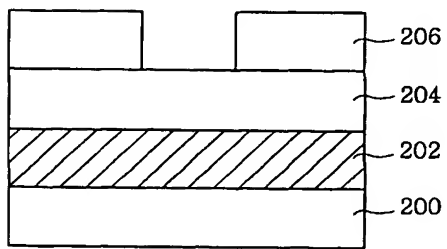
상기 상부 금속 배선 증착 단계는 Al/Cu 다마신(Damascene) 공정에 의해 구현되는 것을 특징으로 하는 반도체 금속 라인 제조 공정에서의 에어 갭 형성 방법.

【도면】

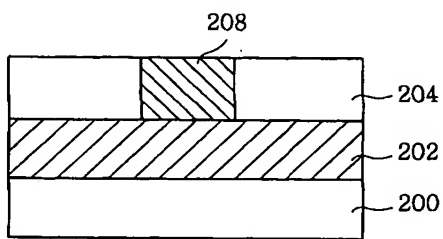
【도 1】



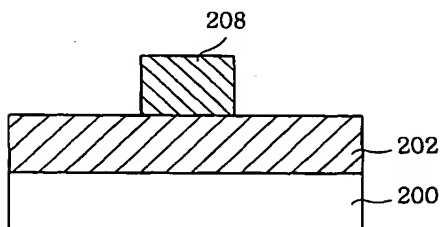
【도 2a】



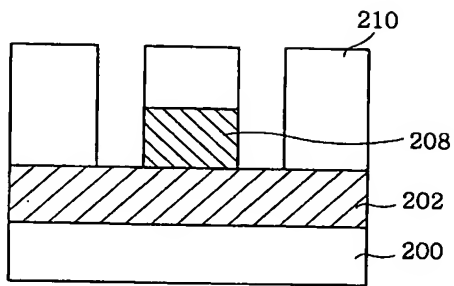
【도 2b】



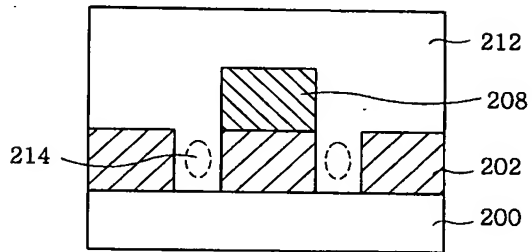
【도 2c】



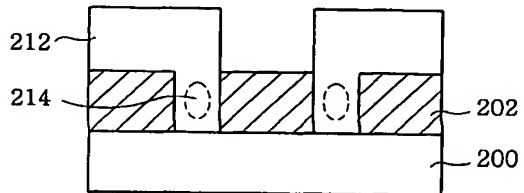
【도 2d】



【도 2e】



【도 2f】



【도 2g】

